

500, 279

107

8 JUN 2004

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT IM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Juli 2003 (17.07.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/058812 A1

(51) Internationale Patentklassifikation⁷: H03H 9/10

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/DE02/04637

(75) Erfinder/Anmelder (nur für US): STELZL, Alois [AT/DE]; Traunsteinerstrasse 33, 81549 München (DE). KRUEGER, Hans [DE/DE]; Peralohstrasse 13, 81737 München (DE). CHRISTL, Ernst [DE/DE]; Pfifferlingweg 19, 84137 Vilsbiburg (DE).

(22) Internationales Anmeldedatum:
18. Dezember 2002 (18.12.2002)

(25) Einreichungssprache: Deutsch

(74) Anwalt: EPPING, HERMANN & FISCHER; Ridlerstrasse 55, 80339 München (DE).

(26) Veröffentlichungssprache: Deutsch

(81) Bestimmungsstaaten (national): CN, JP, US.

(30) Angaben zur Priorität:
101 64 502.3 28. Dezember 2001 (28.12.2001) DE

Veröffentlicht:

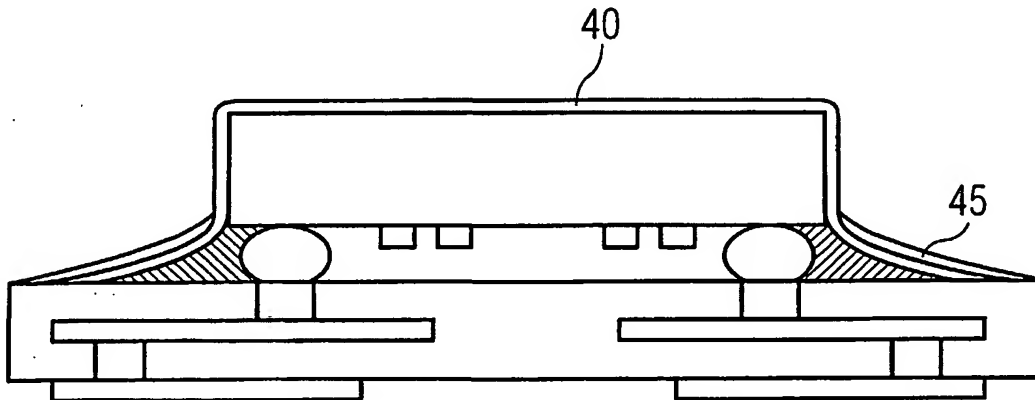
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): EPCOS AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE HERMETIC ENCAPSULATION OF A COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERMETISCHEN VERKAPSELUNG EINES BAUELEMENTS



WO 03/058812 A1

(57) Abstract: The invention relates to the hermetic encapsulation of a component applied to a substrate (25) in the manner of a flip chip. Said component consists of a chip (1) with component structures (5). According to the invention, a material (35) is applied to the lower edge of the chip, and to an area of the substrate which is adjacent to the chip whereby a first continuous metal layer (40) is applied to the rear side of the chip and to said material (35), in addition to the edge areas of the substrate which are adjacent to the material (35). Subsequently, a second sealing metal layer (45) is applied to at least the areas of the first metal layer (40) which cover said material (35) by means of a solvent-free process to ensure hermetic encapsulation.

(57) Zusammenfassung: Zur hermetischen Verkapselung eines in Flipchipbauweise auf einem Substrat (25) aufgetragenen Bauelements, das aus einem Chip (1) mit Bauelementstrukturen (5) besteht, wird vorgeschlagen ein Material (35) auf die Unterkante des Chips und an den Chip angrenzende Bereiche des Substrats aufzubringen, und darauf eine erste durchgehende Metallschicht (40) auf der Rückseite des Chips und auf das Material (35), sowie an das Material angrenzende Randbereiche des Substrats aufzubringen. Anschliessend wird zur hermetischen Verkapselung eine zweite abschliessende Metallschicht (45) zumindest auf denjenigen Bereichen der ersten Metallschicht (40) mittels eines lösungsmittelfreien Prozesses aufgebracht, die das Material (35) bedecken.



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zur hermetischen Verkapselung eines Bauelements.

5 Ein Verfahren zur hermetischen Verkapselung eines Bauelements ist beispielsweise aus der WO 99/43084 bekannt. Dort werden Bauelemente, insbesondere Oberflächenwellenbauelemente, auf einem mit lötbaren Anschlußflächen versehenen Substrat in Flipchiptechnik aufgebracht. Dabei ist das Bauelement, das
10 auf einem Chip aufgebaut ist, über Bumps (Lotkugeln) im lichten Abstand zum Substrat so auf diesem aufgelötet, daß die auf dem Chip befindlichen Bauelementstrukturen zum Substrat weisen. Zur hermetischen Verkapselung der auf dem Substrat befindlichen Bauelemente werden diese schließlich mit einer
15 Metallfolie oder einer metallbeschichteten Kunststoffolie (erste Metallschicht) auf dem Substrat von der Rückseite her abgedeckt und verklebt oder laminiert. Die Folie schließt dabei zwischen den Bauelementen dicht mit dem Substrat ab, so daß eine Verkapselung für die Bauelementstrukturen entsteht.

20

Häufig wird nach dem Aufbringen des elektrischen Bauelements auf das Substrat die Unterkante des Chips und an den Chip angrenzende Bereiche des Substrats mit einem Material (Underfiller), beispielsweise Organosiliziumverbindungen oder mit
25 Quarz gefüllten Epoxidharzen abgedeckt, auf denen anschließend die oben erwähnte erste Metallschicht aufgebracht wird. In einer anderen Ausführungsform wird beispielsweise eine Kunststoffolie auf die Rückseite des Bauelement-Chips und an das Bauelement angrenzende Bereiche des Substrats aufgebracht
30 und die Folie anschließend dicht mit dem Substrat verbunden. Auf diese Folie danach die erste Metallschicht aufgebracht.

Um das Bauelement dicht zu verkapseln wird in der Regel auf diese erste Metallschicht galvanisch bzw. stromlos eine zweite
35 Metallschicht abgeschieden. Während dieses Galvanikprozesses können geringe Mengen Wasser in das elektrische Bauelement eindringen. Aufgrund dieses Wassers kann es zur Lang-

zeitkorrosion des elektrischen Bauelements kommen. Bislang wird nach der galvanischen Verstärkung der ersten Metallschicht diese Feuchtigkeit nur durch einen Temperschnitt bei typisch 125°C homogen im Bauelement verteilt, ohne komplett aus diesem entfernt zu werden.

Aufgabe der vorliegenden Erfindung ist es daher, ein Verfahren zur hermetischen Verkapselung eines elektrischen Bauelements anzugeben, welches einfach durchzuführen ist und die oben genannten Nachteile vermeidet.

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren nach Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen des Verfahrens sind Gegenstand von Unteransprüchen.

Die Erfindung schlägt vor, ein auf einen Chip aufgebautes Bauelement zunächst in herkömmlicher Flipchipbauweise auf einem Substrat aufzubringen (Verfahrensschritt A) und anschließend zumindest die Unterkante des Chips und an den Chip angrenzende Bereiche des Substrats im Verfahrensschritt B) in herkömmlicher Weise mit einem Material abzudecken. Anschließend wird im Verfahrensschritt C) eine erste durchgehende Metallschicht auf die Rückseite des Chips, auf das Material und auf an das Material angrenzende Randbereiche des Substrats aufgebracht. Danach wird erfindungsgemäß eine zweite hermetisch abschließende Metallschicht zumindest auf den Bereichen der ersten Metallschicht aufgebracht, die das Material bedecken wobei diese zweite Metallschicht mittels eines lösungsmittelfreien und insbesondere wasserfreien Prozesses aufgebracht wird (Verfahrensschritt D). Alternativ ist auch eine wasserfreie organische Lösungsmittel verwendende Galvanik möglich.

Im Gegensatz zum Stand der Technik wird die zweite Metallschicht damit nicht mittels eines galvanischen Prozesses aufgebracht, bei dem Wasser als Lösungsmittel in das Bauelement eindringen und damit eine Korrosion des Bauelements verursa-

chen kann. Weiterhin wird die zweite Metallschicht nicht auf alle Bereiche aufgebracht auf denen die erste durchgehende Metallschicht vorhanden ist, sondern nur auf diejenigen Bereiche der ersten Metallschicht, die das isolierende Material bedecken. Dies hat den Vorteil, daß beim erfindungsgemäßen Verfahren der Verbrauch des Metalls für die zweite Metallschicht erheblich reduziert werden kann.

Als lösungsmittelfreier Prozeß im Verfahrensschritt B) zum Aufbringen der zweiten hermetisch abschließenden Metallschicht, kommen eine ganze Reihe von Prozessen in Frage. So ist es beispielsweise möglich eine Metallfolie auf die erste Metallschicht aufzuschmelzen. Dabei wird diese Metallfolie vor dem Aufbringen vorteilhafterweise den Konturen der ersten Metallschicht angepaßt (geprägt), so daß sie formschlüssig auf der ersten Metallschicht anliegt. Dies hat den Vorteil, daß beim Aufschmelzen dieser Metallfolie auf die erste Metallschicht die zweite Metallschicht in homogener Schichtdicke erzeugt wird, so daß sie das Bauelement besonders dicht abschließt.

Weiterhin ist es möglich, daß im Verfahrensschritt D) Metallpartikel aufgebracht werden. Dies kann beispielsweise mit Hilfe eines Spritzverfahrens durchgeführt werden, bei dem flüssige Metallkügelchen aufgespritzt werden. Weiterhin kann in einer weiteren Ausführungsform des erfindungsgemäßen Verfahrens eine Metallpaste aufgebracht und dann eingebrannt werden. Die zweite Metallschicht kann auch mittels Chemical Vapour Deposition (CVD) oder Physical Vapour Deposition (PVD) aufgebracht werden. Weiterhin kann die zweite Metallschicht auch aufgesputtert oder mit einem wasserfreien Elektrolyten galvanisch oder stromlos abgeschieden werden.

Die zweite Metallschicht kann durchgehend auf die erste Metallschicht aufgebracht werden. In diesem Fall bedeckt die zweite Metallschicht also nicht nur diejenigen Bereiche der ersten Metallschicht die das Material bedecken, sondern auch

weitere Bereiche der ersten Metallschicht, die beispielsweise die Rückseite des Chips bedecken.

5 In einer weiteren vorteilhaften Variante des erfindungsgemä-
ßen Verfahrens kann vor dem Aufbringen der zweiten Metall-
schicht eine Oberflächenschicht der ersten Metallschicht zur
Verbesserung der Haftung entfernt werden. Aufgrund von Oxida-
tionsprozessen bildet sich auf der ersten Metallschicht häu-
fig eine Metalloxidschicht, auf der die zweite Metallschicht
10 nur eingeschränkt haftet. Aus diesem Grunde wird vorteilhaft-
erweise diese Oxidschicht vor dem Aufbringen der zweiten Me-
tallschicht beispielsweise durch ein reduzierendes Wasser-
stoffplasma entfernt.

15 In einer anderen Ausführungsform des erfindungsgemäßen Ver-
fahrens wird im Verfahrensschritt B) das Material beispiels-
weise in Form einer Kunststoffolie so aufgebracht, daß die
Kunststoffolie die Rückseite des Chips überdeckt und gleich-
zeitig die Ränder der Folie den Chip überlappen. Anschließend
20 wird die Folie dicht mit dem Substrat im gesamten Randbereich
rund um den Chip verbunden. Auf diese Kunststoffolie wird
dann im weiteren Verfahrensschritt C) die erste Metallschicht
aufgebracht. Diese Variante des erfindungsgemäßen Verfahrens
hat den Vorteil, daß die Verfahrensschritte B) (Aufbringen
25 der Kunststoffolie) und der Verfahrensschritt C) (Aufbringen
der ersten durchgehenden Metallschicht) besonders gut unab-
hängig voneinander optimiert werden können. So ist im Zusam-
menwirken mit dem letzten Verfahrensschritt D) durch das Auf-
bringen der zweiten Metallschicht eine besonders sichere her-
30 metische Verkapselung des elektrischen Bauelements möglich.
Bei dieser Variante des erfindungsgemäßen Verfahrens wird die
zweite hermetisch abschließende Metallschicht vorteilhafter-
weise über die gesamte erste durchgehende Metallschicht auf-
gebracht. Dadurch wird besonders vorteilhaft sichergestellt,
35 daß bei nach dieser Variante verkapselten Bauelementen keine
Feuchtigkeit durch die beiden Metallschichten in die Kunst-
stoffolie und damit auch in das Bauelement eindringen kann.

In einer weiteren Variante des erfindungsgemäßen Verfahrens werden die Metalle für die erste und zweite Metallschicht und die Prozeßbedingungen für das Aufbringen der zweiten Metallschicht im Verfahrensschritt D) so ausgewählt, daß während des Aufbringens der zweiten Metallschicht an der Grenzfläche zwischen den beiden Metallschichten eine Metallegierung mit einem Schmelzpunkt von größer als 260°C gebildet wird. Dies hat den Vorteil, daß die Metallegierung beim Einlöten des erfindungsgemäß verkapselten Bauelements, die normalerweise bei Temperaturen unter 260°C erfolgt, nicht schmilzt und daher auch nicht undicht wird oder die Festigkeit verliert. Derart verkapselte Bauelemente können also ohne größere Probleme mittels Standardlötverfahren als SMD-Bauelemente eingelötet werden.

Als erste Metallschicht wird vorteilhafterweise eine Titan-Kupferschicht aufgebracht, bei der auf eine sehr dünne Titanschicht als Haftvermittler eine dickere Kupferschicht aufgebracht wird. Als zweite Metallschicht wird vorteilhafterweise Zinn oder Eutektika wie zum Beispiel Zinn-Silber, Zinn-Kupfer oder Zinn-Silber-Kupfer-Legierungen oder eine Mischung aus den genannten Metallen aufgebracht. Dies hat den Vorteil, daß die genannten Metalle beziehungsweise Metallegierungen für die erste und zweite Metallschicht sehr billig sind, gleichzeitig aber beim Aufbringen der zweiten Metallschicht an der Grenzfläche zwischen der ersten und der zweiten Metallschicht eine nicht eutektische Zinn-Kupfer-Legierung mit einem Schmelzpunkt von größer 260°C gebildet wird. Mittels dieser Variante des erfindungsgemäßen Verfahrens ist es also besonders vorteilhaft möglich, mittels billiger Ausgangsmaterialien für die beiden Metallschichten eine Legierung mit besonders hohem Schmelzpunkt zu erzeugen, die in Standardlötverfahren bei Standardtemperatur nicht aufgeschmolzen werden kann. Die oben genannten Materialien für die zweite Metallschicht weisen dabei vor der Legierungsbildung Schmelzpunkte zwischen etwa 217°C und 232°C auf.

In einer anderen Variante des erfindungsgemäßen Verfahrens ist es auch möglich, von vorne herein im Verfahrensschritt D) eine Metallschicht aufzubringen, die einen Schmelzpunkt größer 260°C aufweist. Dafür kommen beispielsweise Zinn-Gold-Legierungen mit Schmelzpunkten von etwa 280°C in Frage.

Das erfindungsgemäße Verfahren kann zur hermetischen Verkapselung von verschiedensten in Flipchip-Bauweise montierbaren Bauelementen, beispielsweise Oberflächenwellen-Filtern oder anderen und insbesondere oberflächensensitiven Bauelementen verwendet werden.

Im Folgenden soll das erfindungsgemäße Verfahren anhand von Figuren noch näher erläutert werden.

Die Figur 1 zeigt den Verfahrensschritt A) des erfindungsgemäßen Verfahrens.

Die Figuren 2A und 2B zeigen zwei Ausführungsvarianten des Verfahrensschrittes B).

Die Figuren 3A und 3B zeigen die beiden in 2A und 2B gezeigten Bauelemente nach dem Verfahrensschritt C) des erfindungsgemäßen Verfahrens.

In den Figuren 4A und 4B ist das elektrische Bauelement nach dem Verfahrensschritt C), dem Aufbringen der zweiten Metallschicht zu sehen.

In Figur 5 ist eine zwischen der ersten und zweiten Metallschicht ausgebildete Legierung mit hohem Schmelzpunkt zu sehen.

Die Figuren 6 bis 8 zeigen das Auftrennen des Substrats zwischen zwei Bauelementen, die gemäß den Verfahrensschritten A)

bis D) auf dem Substrat aufgebracht, kontaktiert und verkapselt wurden.

Figur 1 zeigt ein elektrisches Bauelement nach dem Verfahrensschritt A). Zu sehen ist, daß ein Chip 1 so auf einem Substrat 25 befestigt und kontaktiert ist, daß die auf dem Chip befindlichen Bauelementstrukturen 5 zum Substrat 25 zeigen. Lotkugeln 10 (Bumps) fixieren dabei das Bauelement im richtigen Abstand zum Substrat und verbinden gleichzeitig die auf dem Substrat 25 befindlichen Anschlußflächen 20 elektrisch leitend mit dem Bauelement. Dabei sorgt eine Durchkontaktierung 15 für elektrischen Kontakt zwischen den Anschlußflächen 20 und den Bumps 10.

Die Figur 2A zeigt eine Variante des Verfahrensschrittes B) des erfindungsgemäßen Verfahrens. Eine Kunststoff-Folie 30 ist über die Rückseite des Chips 1 und an den Chip angrenzende Bereiche des Substrats 25 durchgehend aufgebracht und anschließend dicht im gesamten Randbereich des Chips mit dem Substrat verbunden worden. In Figur 2B ist eine alternative Ausführung zu Fig. 2A zu sehen. Der Raum zwischen Unterkante des Chips 1 und den daran angrenzenden Bereichen des Substrats 25 wurden mit einem Material 35 bedeckt. Dieses Material kann beispielsweise aus siliziumorganischen Verbindungen bestehen.

In Figur 3A ist das in Figur 2A dargestellte Bauelement nach dem Verfahrensschritt C) zu sehen. Auf die Kunststoffolie 30 wurde die erste Metallschicht 40, beispielsweise eine Titan-kupferschicht aufgebracht. Figur 3B zeigt das in Figur 2B dargestellte Bauelement ebenfalls nach dem Verfahrensschritt C). In diesem Fall wurde auf das Material 35 und die Rückseite des Chips ebenfalls die erste Metallschicht 40 aufgebracht. Die erste Metallschicht 40 kann beispielsweise aufgesputtert werden.

Figur 4A zeigt das Bauelement aus Figur 3A nach dem Aufbringen der zweiten Metallschicht (Verfahrensschritt D). In diesem Fall wurde die zweite Metallschicht so auf die erste aufgebracht, daß die erste Metallschicht komplett von der zweiten Metallschicht bedeckt wird. Figur 4B zeigt das in Figur 3B dargestellte Bauelement ebenfalls nach dem Verfahrensschritt D). Bei dieser Ausführungsform ist die zweite Metallschicht nur auf diejenigen Bereiche der ersten Metallschicht aufgebracht, die das Material 35 bedecken, was zur Verkapselung ausreichend ist.

Figur 5 zeigt eine Schicht 50, die an der Grenzfläche der ersten Metallschicht 40 und der zweiten Metallschicht 45 beim Aufbringen der zweiten Metallschicht 45 gebildet wurde. Diese Zwischenschicht 50 weist vorteilhafterweise einen Schmelzpunkt von größer 260°C auf, so daß die erfindungsgemäße Verkapselung des Bauelements beim Einlöten nicht mehr aufschmilzt. Wird als erste Schicht eine Titan-Kupferschicht aufgebracht, so kann vorteilhafterweise als zweite Schicht entweder Zinn oder eutektische Zinn-Legierungen, beispielsweise Zinn-Silber, Zinn-Silber-Kupfer oder Zinn-Kupfer-Legierungen verwendet werden. Diese Eutektika weisen eine homogene Zusammensetzung auf und haben definierte Schmelzpunkte von etwa 217°C bis 232°C. Wird die zweite Metallschicht bei Temperaturen von größer als etwa 280°C, also dem Schmelzpunkt von Zinn/Gold, auf die erste Metallschicht aufgebracht, so bildet sich durch Verbinden von Teilen des Kupfers der ersten Schicht mit Bestandteilen der zweiten Schicht eine nicht eutektische Zinn-Kupfer-Legierung aus, die einen Schmelzpunkt von größer 260°C aufweist. Diese nicht eutektische Legierung weist höhere Anteile an Kupfer auf als die oben genannten Kupfer-haltigen eutektischen Legierungen.

Figur 6 zeigt mehrere Bauelemente die gemäß den Verfahrensschritten A) bis D) auf das Substrat aufgebracht, kontaktiert und verkapselt wurden. Dabei ist es mit dem erfindungsgemäßen Verfahren möglich, gleiche oder verschiedene Bauelemente auf

das Substrat aufzubringen und zu verkapseln. Die Chips können anschließend an der mit 55 bezeichneten Trennlinie vereinzelt werden. Dazu kann wie in Figur 6 gezeigt die zweite Metallschicht 45 beispielsweise mittels eines Lasers in dem Bereich abgetragen werden, in dem das Substrat 25 aufgetrennt wird.

Figur 7 zeigt, wie mittels eines selektiven chemischen Ätzens die erste Metallschicht 40, die aufgrund des oben genannten Laserverfahrens freigelegt wurde, entfernt wird. So ist es beispielsweise möglich Eisenchloridlösung zu verwenden, die selektiv die aus Titan und Kupfer bestehende erste Metallschicht 40 ätzt, ohne die aus Zinn beziehungsweise Zinn-Legierungen bestehende zweite Metallschicht 45 anzugreifen. Nach dem Entfernen der ersten und zweiten Metallschicht können die Chips beispielsweise durch Sägen des Substrats vereinzelt werden, wie in Fig. 8 gezeigt.

Die Erfindung beschränkt sich nicht auf die hier gezeigten Ausführungsbeispiele. Weitere Variationen sind sowohl bezüglich der Materialien für die erste und zweite Metallschicht als auch bezüglich der Art der verkapselten Bauelemente möglich.

Patentansprüche

1. Verfahren zur Herstellung einer hermetischen Verkapselung für ein elektrisches Bauelement mit den Verfahrensschritten:

- 5 A) ein auf einem Chip (1) aufgebautes Bauelement mit Metallisierungen wird auf einem Substrat (25), das elektrische Anschlußflächen (20) aufweist, befestigt, wobei die Bauelementstrukturen (5) tragende Oberfläche des Chips (1) zum Substrat (25) weist und Bump-Verbindungen (10), die die Metallisierungen mit den Anschlußflächen elektrisch verbinden, den Chip im lichten Abstand zum Substrat fixieren,
- 10 B) ein Material (35) wird so aufgebracht, daß es zumindest die Unterkante des Chips und an den Chip angrenzende Bereiche des Substrats abdeckt,
- 15 C) eine erste durchgehende, Metallschicht (40) wird auf die Rückseite des Chips, auf das Material (35) und auf an das Material angrenzende Randbereiche des Substrats, aufgebracht,
- 20 D) eine zweite, hermetisch abschließende Metallschicht (45) wird zumindest auf den Bereichen der ersten Metallschicht (40), die das Material (35) bedecken, mittels eines Lösungsmittel-freien Prozesses aufgebracht.

25 2. Verfahren nach dem vorherigen Anspruch, bei dem im Verfahrensschritt D) eine Metallfolie auf die erste Metallschicht (40) aufgeschmolzen wird.

30 3. Verfahren nach dem vorherigen Anspruch, bei dem die Form der Metallfolie den Konturen der ersten Metallschicht (40) vor dem Aufbringen angepasst wird, so daß sie formschlüssig auf der ersten Metallschicht anliegt.

35 4. Verfahren nach Anspruch 1,

- bei dem im Verfahrensschritt D) Metallpartikel aufgebracht und dann aufgeschmolzen werden.

5. Verfahren nach Anspruch 1,

- 5 - bei dem im Verfahrensschritt D) eine Metallpaste aufgebracht und eingebrannt wird.

6. Verfahren nach Anspruch 1,

- 10 - bei dem im Verfahrensschritt D) die zweite Metallschicht mittels CVD oder PVD aufgebracht wird.

7. Verfahren nach einem der Ansprüche 1 oder 6,

- bei dem die zweite Metallschicht aufgesputtert wird.

15 8. Verfahren nach einem der vorherigen Ansprüche,

- bei dem die zweite Metallschicht durchgehend auf die erste Metallschicht aufgebracht wird.

9. Verfahren nach einem der vorherigen Ansprüche,

- 20 - bei dem vor dem Aufbringen der zweiten Metallschicht Oberflächenschichten der ersten Metallschicht zur Verbesserung der Haftung entfernt werden.

10. Verfahren nach dem vorhergehenden Anspruch,

- 25 - bei dem eine auf der ersten Metallschicht befindliche Oxidschicht durch ein Wasserstoff-Plasma entfernt wird.

11. Verfahren nach einem der vorhergehenden Ansprüche,

- 30 - bei dem im Verfahrensschritt B) die Rückseite des Chips mit einer Kunststoff-Folie (30) so überdeckt wird, daß die Ränder der Folie den Chip überlappen und anschließend die Folie dicht mit dem Substrat im gesamten Randbereich rund um den Chip verbunden wird.

35 12. Verfahren nach einem der vorhergehenden Ansprüche,

- bei dem die Metalle für die erste und zweite Metallschicht und die Prozeßbedingungen so ausgewählt sind, daß im Ver-

fahrensschritt D) während des Aufbringens der zweiten Metallschicht an der Grenzfläche zwischen den beiden Metallschichten eine Metall-Legierung (50) mit einem Schmelzpunkt von größer als 260°C gebildet wird.

5

13. Verfahren nach einem der vorhergehenden Ansprüche,
- bei dem als zweite Metallschicht Zinn, Zinn-Silber oder Zinn-Silber-Kupfer-Legierungen oder eine Mischung aus den genannten Metallen aufgebracht wird.

10

14. Verfahren nach einem der vorhergehenden Ansprüche,
- bei dem als erste Metallschicht Titan/Kupfer aufgebracht wird.

15

15. Verfahren nach Anspruch 14,
- bei dem an der Grenzfläche zwischen der ersten und der zweiten Metallschicht eine Zinn-Kupfer-Legierung mit einem Schmelzpunkt von größer 260°C gebildet wird.

20

16. Verfahren nach einem der vorhergehenden Ansprüche,
- bei dem auf das Substrat weitere Chips und/oder Bauelemente in der genannten Weise gemäß den Verfahrensschritten A) bis D) aufgebracht, mit dem Substrat kontaktiert und verkapselt werden.

25

17. Verfahren nach dem vorhergehenden Anspruch,
- bei dem das Substrat anschließend durch Auftrennen zwischen den Chips außerhalb der genannten Randbereiche zu einzelnen Bauelementen oder Modulen vereinzelt werden.

30

18. Verfahren nach dem vorherigen Anspruch,
- bei dem als zweite Metallschicht Zinn und als erste Metallschicht Titan/Kupfer aufgebracht wird,
 - bei dem die zweite Metallschicht in dem Bereich, in dem das Substrat aufgetrennt wird, mittels eines Lasers entfernt wird,

35

- bei dem anschließend die durch den Laser freigelegten Bereiche der ersten Metallschicht durch chemisches Ätzen entfernt werden,
- bei dem danach das Substat mittels einer Säge aufgetrennt wird.

5

19. Verfahren nach dem vorherigen Anspruch,

- bei dem die erste Metallschicht mittels einer Eisenchlorid-Lösung entfernt wird.

10

20. Verwendung des Verfahrens nach einem der vorhergehenden Ansprüche zur Verkapselung von Oberflächenwellen-Bauelementen.

FIG 1

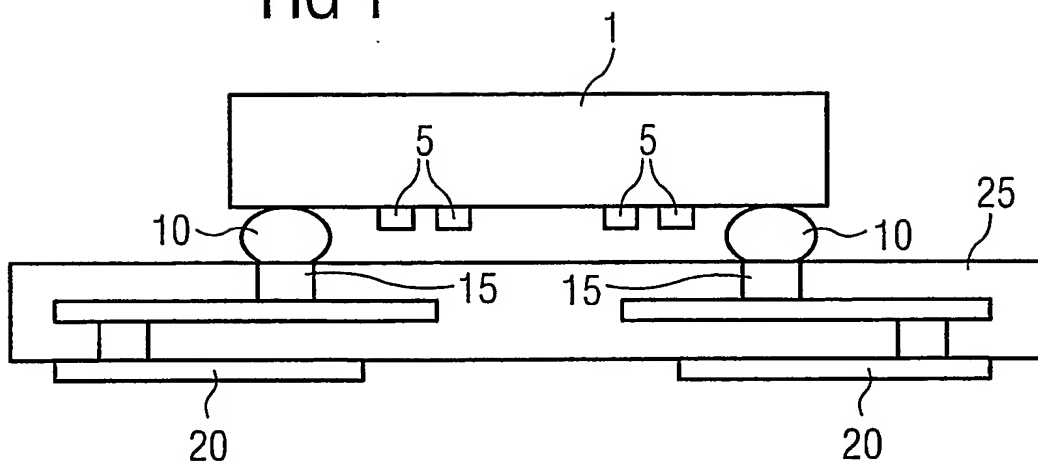


FIG 2A

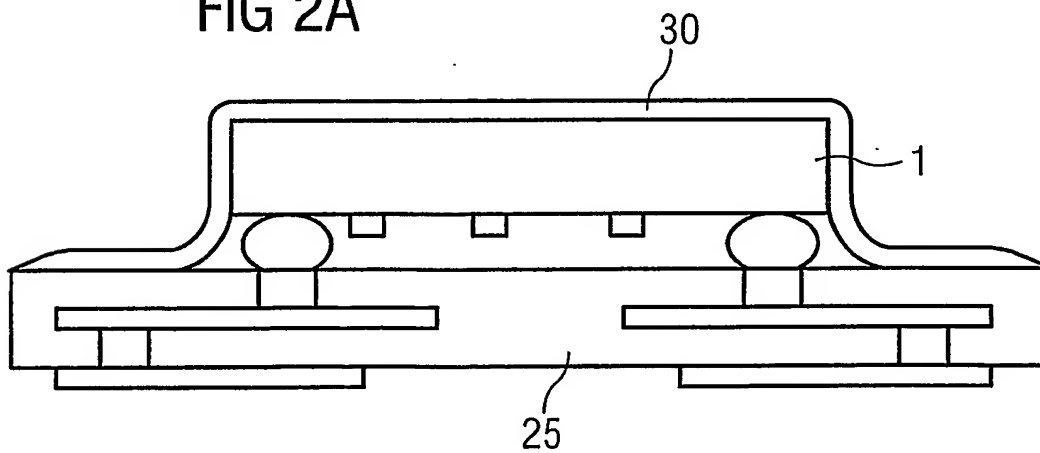


FIG 2B

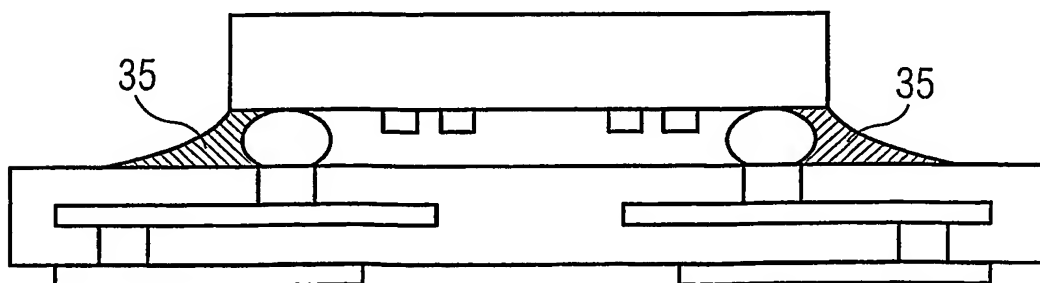


FIG 3A

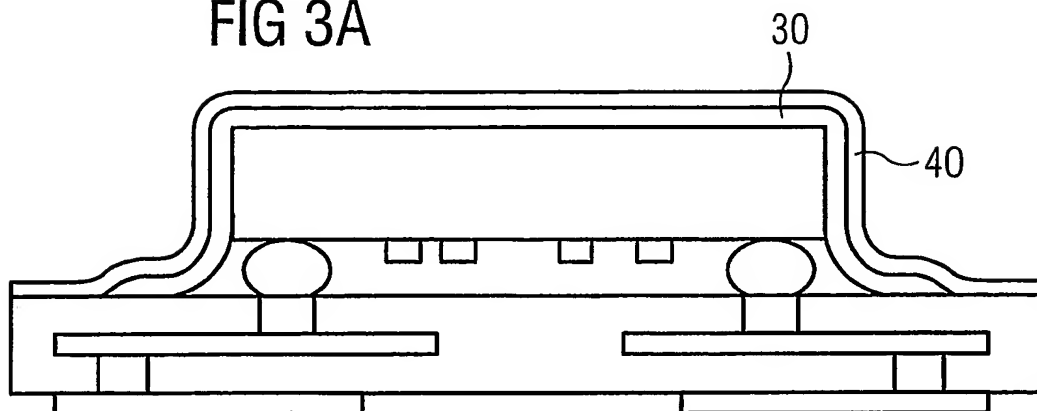


FIG 3B

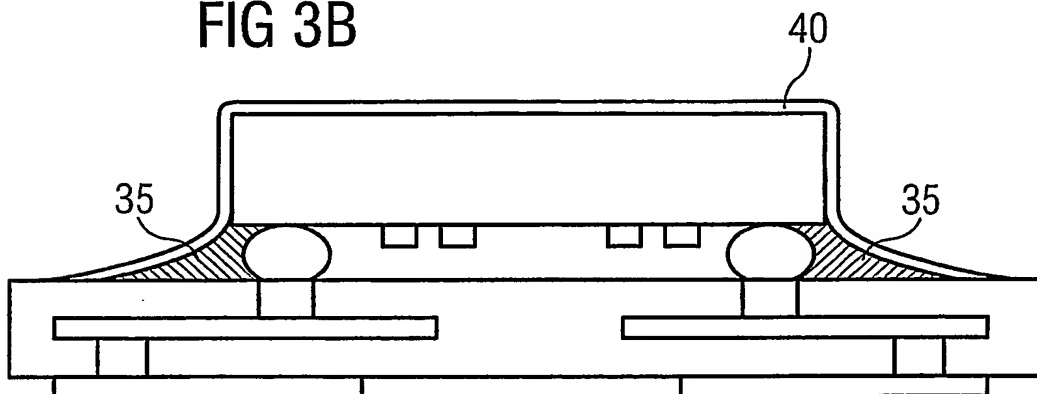


FIG 4A

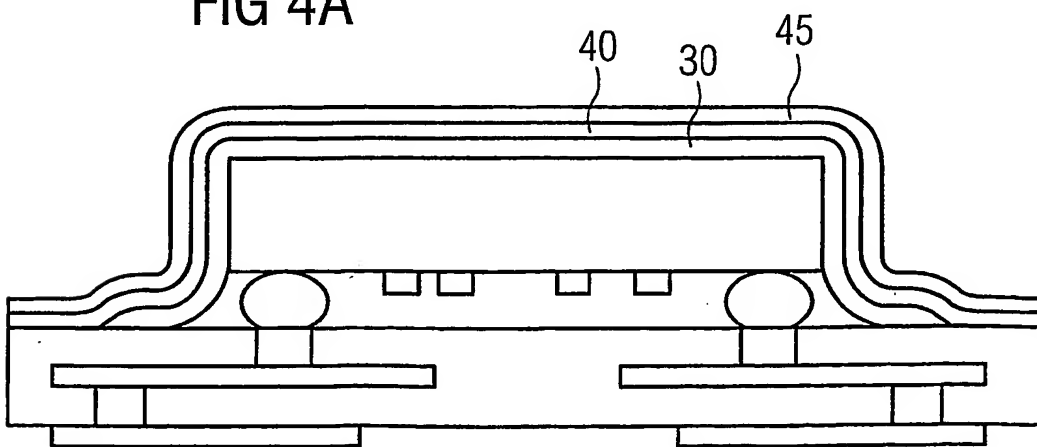


FIG 4B

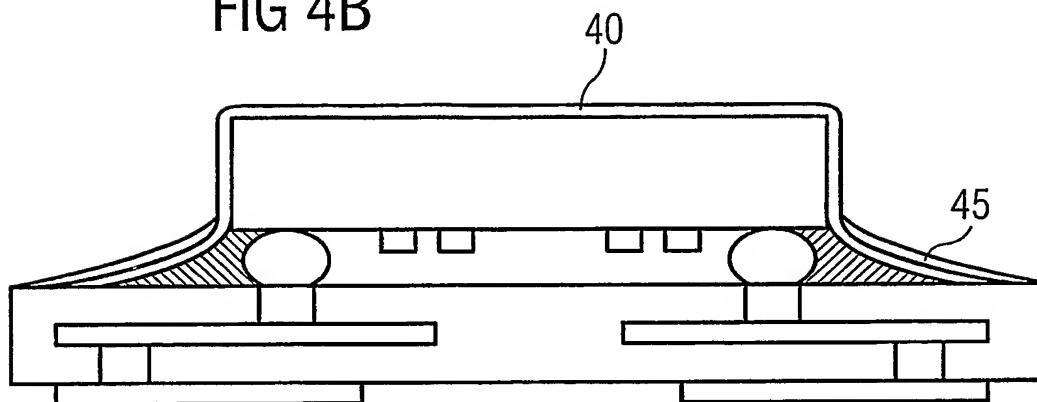


FIG 5

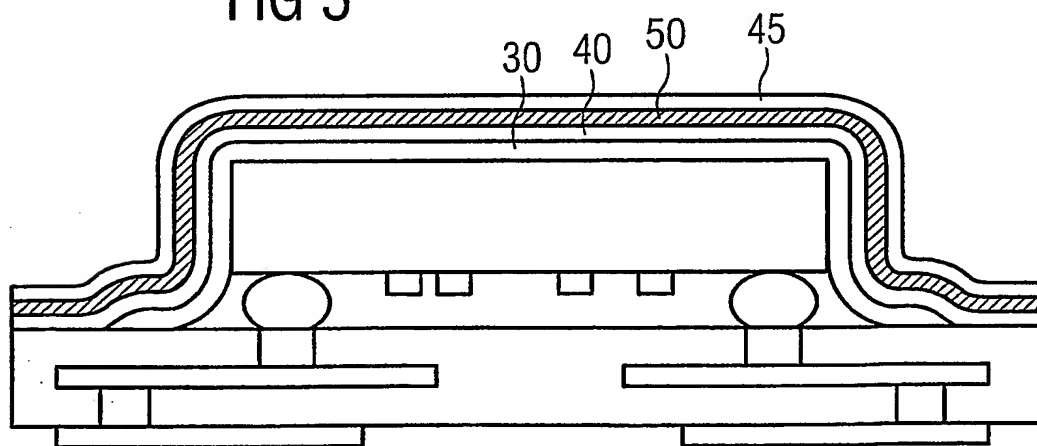


FIG 6

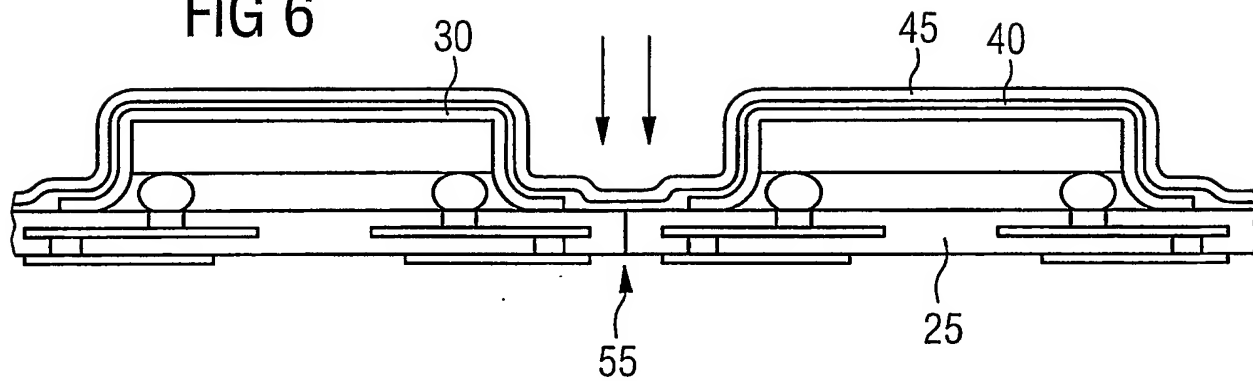


FIG 7

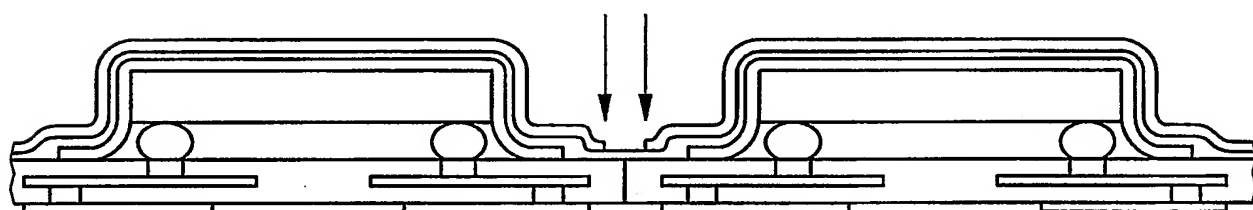
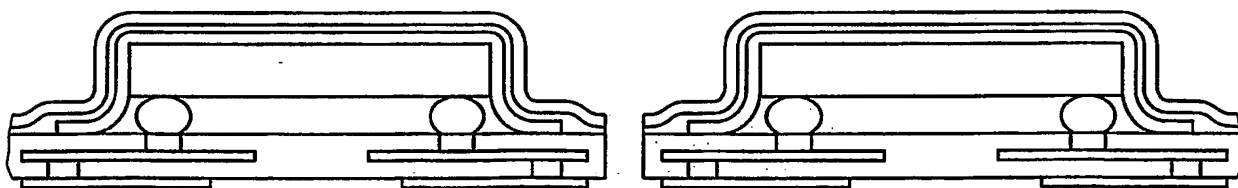


FIG 8



INTERNATIONAL SEARCH REPORT

 Int: Application No
 PCT/DE 04637

 A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H03H9/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03H H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2001/009277 A1 (ZUBELEWICZ ALEKSANDER ET AL) 26 July 2001 (2001-07-26) paragraphs '0033!-'0039! ----	1-10, 12-20
X	EP 0 896 427 A (NIPPON ELECTRIC CO) 10 February 1999 (1999-02-10)	1, 4-7, 12, 15, 20
Y	column 6, line 6 -column 7, line 13 ----	2, 3, 8, 11, 16, 17
Y	EP 1 093 159 A (THOMSON CSF) 18 April 2001 (2001-04-18) paragraphs '0019!-'0026! ----	2, 3, 8, 11, 16, 17
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

7 May 2003

Date of mailing of the international search report

15/05/2003

Name and mailing address of the ISA

 European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Radomirescu, B-M

INTERNATIONAL SEARCH REPORT

Inte

Application No

PCT/DE

4637

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 07, 31 August 1995 (1995-08-31) & JP 07 111438 A (HITACHI LTD), 25 April 1995 (1995-04-25) abstract figure 8 ----	1,20
X	WO 97 45955 A (SIEMENS MATSUSHITA COMPONENTS ;PAHL WOLFGANG (DE); KRUEGER HANS (D) 4 December 1997 (1997-12-04) figures 1,2 ----	1
A	EP 0 740 340 A (SHINKO ELEC IND) 30 October 1996 (1996-10-30) figures 2,3 ----	1-20
A	EP 0 840 369 A (TOKYO SHIBAURA ELECTRIC CO) 6 May 1998 (1998-05-06) figures 7-13,29-31,47,48 ----	1-20
A	SELMEIER P ET AL: "Recent advances in SAW packaging" 2001 IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS. ATLANTA, GA, OCT. 7 - 10, 2001, IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS, NEW YORK, NY: IEEE, US, vol. 2 OF 2, 7 October 2001 (2001-10-07), pages 283-292, XP010584527 ISBN: 0-7803-7177-1 page 286, left-hand column, line 1 -right-hand column, line 8 -----	16,17

INTERNATIONAL SEARCH REPORT

Information on patent family members

 International Application No
 PCT/DE 04637

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2001009277	A1	26-07-2001	US 6197619 B1	06-03-2001
EP 0896427	A	10-02-1999	JP 3196693 B2	06-08-2001
			JP 11055066 A	26-02-1999
			EP 0896427 A2	10-02-1999
			US 6078229 A	20-06-2000
EP 1093159	A	18-04-2001	FR 2799883 A1	20-04-2001
			CA 2321360 A1	15-04-2001
			CN 1293485 A	02-05-2001
			EP 1093159 A1	18-04-2001
			JP 2001176995 A	29-06-2001
			US 6492194 B1	10-12-2002
JP 07111438	A	25-04-1995	NONE	
WO 9745955	A	04-12-1997	CA 2255961 A1	04-12-1997
			CN 1220057 A	16-06-1999
			WO 9745955 A1	04-12-1997
			DE 59704079 D1	23-08-2001
			EP 0900477 A1	10-03-1999
			JP 11510666 T	14-09-1999
			KR 2000015901 A	15-03-2000
			US 6528924 B1	04-03-2003
EP 0740340	A	30-10-1996	JP 8279576 A	22-10-1996
			JP 8279533 A	22-10-1996
			DE 69621983 D1	01-08-2002
			DE 69621983 T2	21-11-2002
			EP 0740340 A2	30-10-1996
			KR 206033 B1	01-07-1999
			US 5737191 A	07-04-1998
			KR 235091 B1	15-12-1999
EP 0840369	A	06-05-1998	EP 0840369 A1	06-05-1998
			US 6262513 B1	17-07-2001
			CN 1194058 A	23-09-1998
			WO 9702596 A1	23-01-1997
			US 2002149298 A1	17-10-2002
			US 2001009342 A1	26-07-2001

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03H9/10

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03H H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, INSPEC, COMPENDEX, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2001/009277 A1 (ZUBELEWICZ ALEKSANDER ET AL) 26. Juli 2001 (2001-07-26) Absätze '0033!-'0039! ---	1-10, 12-20
X	EP 0 896 427 A (NIPPON ELECTRIC CO) 10. Februar 1999 (1999-02-10) Spalte 6, Zeile 6 -Spalte 7, Zeile 13 ---	1,4-7, 12,15,20
Y	---	2,3,8, 11,16,17
Y	EP 1 093 159 A (THOMSON CSF) 18. April 2001 (2001-04-18) Absätze '0019!-'0026! ---	2,3,8, 11,16,17
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

7. Mai 2003

Absendedatum des internationalen Recherchenberichts

15/05/2003

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Radomirescu, B-M

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 07, 31. August 1995 (1995-08-31) & JP 07 111438 A (HITACHI LTD), 25. April 1995 (1995-04-25) Zusammenfassung Abbildung 8 ----	1,20
X	WO 97 45955 A (SIEMENS MATSUSHITA COMPONENTS ;PAHL WOLFGANG (DE); KRUEGER HANS (D) 4. Dezember 1997 (1997-12-04) Abbildungen 1,2 ----	1
A	EP 0 740 340 A (SHINKO ELEC IND) 30. Oktober 1996 (1996-10-30) Abbildungen 2,3 ----	1-20
A	EP 0 840 369 A (TOKYO SHIBAURA ELECTRIC CO) 6. Mai 1998 (1998-05-06) Abbildungen 7-13,29-31,47,48 ----	1-20
A	SELMEIER P ET AL: "Recent advances in SAW packaging" 2001 IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS. ATLANTA, GA, OCT. 7 - 10, 2001, IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS, NEW YORK, NY: IEEE, US, Bd. 2 OF 2, 7. Oktober 2001 (2001-10-07), Seiten 283-292, XP010584527 ISBN: 0-7803-7177-1 Seite 286, linke Spalte, Zeile 1 -rechte Spalte, Zeile 8 -----	16,17

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung

le zur Patentfamilie gehören

Inter les Aktenzeichen

PCT/DE 04637

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2001009277 A1	26-07-2001	US 6197619 B1	06-03-2001
EP 0896427 A	10-02-1999	JP 3196693 B2	06-08-2001
		JP 11055066 A	26-02-1999
		EP 0896427 A2	10-02-1999
		US 6078229 A	20-06-2000
EP 1093159 A	18-04-2001	FR 2799883 A1	20-04-2001
		CA 2321360 A1	15-04-2001
		CN 1293485 A	02-05-2001
		EP 1093159 A1	18-04-2001
		JP 2001176995 A	29-06-2001
		US 6492194 B1	10-12-2002
JP 07111438 A	25-04-1995	KEINE	
WO 9745955 A	04-12-1997	CA 2255961 A1	04-12-1997
		CN 1220057 A	16-06-1999
		WO 9745955 A1	04-12-1997
		DE 59704079 D1	23-08-2001
		EP 0900477 A1	10-03-1999
		JP 11510666 T	14-09-1999
		KR 2000015901 A	15-03-2000
		US 6528924 B1	04-03-2003
EP 0740340 A	30-10-1996	JP 8279576 A	22-10-1996
		JP 8279533 A	22-10-1996
		DE 69621983 D1	01-08-2002
		DE 69621983 T2	21-11-2002
		EP 0740340 A2	30-10-1996
		KR 206033 B1	01-07-1999
		US 5737191 A	07-04-1998
		KR 235091 B1	15-12-1999
EP 0840369 A	06-05-1998	EP 0840369 A1	06-05-1998
		US 6262513 B1	17-07-2001
		CN 1194058 A	23-09-1998
		WO 9702596 A1	23-01-1997
		US 2002149298 A1	17-10-2002
		US 2001009342 A1	26-07-2001